

PAT-NO: JP361188978A  
DOCUMENT-IDENTIFIER: JP 61188978 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: August 22, 1986  
INVENTOR-INFORMATION:  
NAME  
SASAKI, NOBUO  
ASSIGNEE-INFORMATION:  
NAME FUJITSU LTD COUNTRY  
N/A  
APPL-NO: JP60029725  
APPL-DATE: February 18, 1985  
INT-CL (IPC): H01L043/06, H01L027/00  
US-CL-CURRENT: 257/E29.323, 338/32S, 505/881  
ABSTRACT:

PURPOSE: To facilitate the levelling of the layers and to ensure the high reliability and to contrive the improvement in the integration by increasing the number of laminated layers by providing a magnetic field producing means in either of the circuit sandwiching an interlaminar insulating film and a means for detecting the magnetic field produced by the above means through the interlaminar insulating film on another circuit.

CONSTITUTION: On a magnetic field generating coil 2 or the like, an interlaminar insulating film 3 is arranged by using silicon dioxide, for example. In the magnetic field detecting part, a polysilicon layer is formed over the entire surface by thermal decomposition of silane, for example, and that is made into single crystal by laser annealing and etc. After that, it is patterned into insular form like a pattern 4 and an  $\text{SiO}_2$  film 5 is formed on the surface of that. A mask 6 is arranged on the pattern 4 and arsenic, for example, is ion-implanted followed by an activating heat treatment thereby forming the source 8 and drain 9 regions both of which are N<sup>+</sup> type FET elements, and two detection terminal regions 10 and 11. For the second time, the polysilicon layer is formed to about 0.4 $\mu\text{m}$  thick followed by patterning to form a gate electrode 12. Thus the N-channel Si gate MOS FET element of SOI structure is completed.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-188978

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)8月22日

H 01 L 43/06  
27/00

6370-5F  
8122-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭60-29725

⑰ 出 願 昭60(1985)2月18日

⑱ 発 明 者 佐々木 伸夫 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

第1の半導体層と第2の半導体層とが絶縁層を介して積層して設けられ、該第1の半導体層に磁界生成手段を有する回路が設けられ、かつ該第2の半導体層に該磁界生成手段による磁界の検知手段を有する回路が設けられてなることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置、特に3次元構造の半導体装置にかかり、絶縁層を介して積層形成された2層の半導体回路間の結合方法の改善に関する。

半導体装置の高集積化、高速化及び多機能化を目的として、能動素子を有する回路を層状に立体集積化する3次元構造が開発されつつある。

この3次元構造の半導体装置については解決すべき問題点が多く残されているが、異なる半導体

層間の回路結合方法についても新しい手段が要望されている。

(従来の技術)

3次元構造の半導体装置については既に種々の発表がなされているが、例えば本発明者等は先に下記の積層CMOS構造のインバータによる7段リング発振器を発表している。

N.Sasaki et al., Supplement to the Extended Abstracts of the 15th conf. on the CSSDM (Tokyo, Aug.1983), No.A-3-7LN

S.Kawamura et al., Tech. Digest of IEEE IEDM (Washington D.C., Dec.1983), p.364-

第4図はこの積層CMOS構造の模式側断面図である。同図において、31はn型シリコン(Si)基板、32はp<sup>+</sup>型ソース及びドレイン領域、33は二酸化シリコン(SiO<sub>2</sub>)膜、34はSiゲート電極であり、これらによりPMOS FET(電界効果トランジスタ)が構成され、隣シリケートガラス(PSG)層間絶縁膜35が形成される。

更に、37は多結晶シリコン(poly-Si)膜を例え

ばアルゴン(Ar)レーザ照射により単結晶化した後に島状に分離したp型領域、38はこれに形成したn<sup>+</sup>型ソース、ドレイン領域、39はSiO<sub>2</sub>膜、40はSiゲート電極であり、これらによりNMOS FETが構成される。

このPMOS FET、NMOS FET両素子間に例えばアルミニウム(Al)配線41を配設して、積層CMOS構造のインバータを形成している。

前記例の如く層間絶縁膜に被覆された半導体素子、配線等への配線接続方法としては、絶縁膜に接続位置でコンタクトホールを形成し、例えばAl等の金属もしくは多結晶Si等を用いてソース、ドレイン領域等に接続する方法が従来行われている。

しかしながら例えば前記例において、PMOS FET素子のコンタクトホールは深く導電材料の充填が困難で、ソース、ドレイン領域32との接触抵抗の信頼性が劣化する虞があるばかりでなく、NMOS FET素子のコンタクトホールとは深さに差があり層上に大きい凹凸が発生する。

3次元構造の配線技術として、深い接続では中

前記問題点は、第1の半導体層と第2の半導体層とが絶縁層を介して積層して設けられ、該第1の半導体層に磁界生成手段を有する回路が設けられ、かつ該第2の半導体層に該磁界生成手段による磁界の検知手段を有する回路が設けられてなる本発明による半導体装置により解決される。

#### (作用)

本発明は層間絶縁膜を挟む一方の回路に磁界生成手段を、他方の回路にこの磁界生成手段による磁界を層間絶縁膜を介して検知する手段を設けて、この両回路間の信号伝達を磁界によって行う。この構造によれば、深いエッチング、金属層形成等のプロセスは必要なく、若干の凹凸を生じてても各層の平坦化は甚だ容易であり、高い信頼性が確保されて、積層数を増加し集積度を向上することが可能となる。

#### (実施例)

以下本発明を実施例により具体的に説明する。

第1図は3次元構造の半導体装置の本発明による信号伝達部分の第1の実施例を示し、同図(a)は

間の導体層で位置をずらして中継する方法が行われているが、従来のこれらの層間接続構造では信頼性の低下、凹凸の発生が避けられず、平坦化技術も開発が進められているものの多層積層は極めて困難である。

(発明が解決しようとする問題点)

3次元構造により高集積度の半導体装置を形成するにあたって、その信頼性を確保することが最重要条件であるが、従来の層間絶縁膜にコンタクトホールを形成し金属等を用いて層間を接続する方法は信頼性劣化の虞が少なくない。

また積層する各層の平坦化は、信頼性の高い3次元構造を実現するために極めて重要であるが、この従来の接続方法では凹凸の発生が大きく、その上層の平坦化が甚だ困難であり、3次元構造を開発する際の大きい問題点の一つである。

この問題点に対処するために、信頼性が高く平坦化が容易な新しい層間接続方法が強く要望されている。

(問題点を解決するための手段)

その磁界発生コイルの平面図、同図(b)はその磁界検知部の平面図、同図(c)は前記両者からなる信号伝達部分のX-X側断面図である。また第2図(a)乃至(c)は本実施例の磁界検知部の単結晶島状領域の製造方法の例を示す工程順平面図である。

本実施例ではまず第1のSi層1上に、この層の回路から電流が供給される磁界発生コイル2を設けている。この磁界発生コイル2は、例えば図示の如く1辺の長さ約15 $\mu$ mの正方形とその接続部分を、厚さ約0.5 $\mu$ m、幅約1 $\mu$ mの断面積で形成している。この材料には例えばアルミニウム(Al)、モリブデン(Mo)、タングステン(W)等の金属、Mo、W等のシリサイド、Siなど従来と同様の導電材料を用いることができる。

この磁界発生コイル2等の上に、層間絶縁膜3が例えば二酸化シリコン(SiO<sub>2</sub>)を用いて、厚さ約0.5 $\mu$ m程度に設けられる。

磁界検知部はこの層間絶縁膜3上に例えば下記の如く形成される。すなわち例えばシラン(SiH<sub>4</sub>)の熱分解法により全面に多結晶Si層を厚さ0.4 $\mu$ m

0.5  $\mu\text{m}$ 程度に形成し、レーザアニール法等によりこれを単結晶化した後に、第2図(a)のパターン4の如く島状にパターンニングし、次いで例えば温度950℃程度のドライ熱酸化法により、その表面に $\text{SiO}_2$ 膜5(第1図(c))を形成する。

このパターン4上に第2図(b)の如くマスク6を設けて、例えば砒素(As)をエネルギー100keV程度でドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ 程度にイオン注入し、温度900℃、時間20分程度の活性化熱処理を行い、第2図(c)の如くいずれも $n^+$ 型のFET素子のソース領域8及びドレイン領域9、2個の検出端子領域10及び11を形成する。なおイオン注入が行われない領域7はチャネル領域であり、本実施例では例えばチャネル幅約10 $\mu\text{m}$ 、チャネル長約20 $\mu\text{m}$ としている。

再び多結晶Si層を厚さ0.4 $\mu\text{m}$ 程度に形成しパターンニングを行って、第1図(b)の如くゲート電極12を形成することにより、SOI(silicon on insulator)構造の $n$ チャネルSiゲートMOS FET素子が完成する。

ら電流を取り出している。

以上説明した実施例に見られる様に、本発明による層間信号伝達構造では積層された複数の層を縦貫する製造プロセスは必要なく、製造プロセスの安定とその信頼性の確保が容易である。また各層の凹凸も軽減され、この点からも信頼性が向上し多数の層の積層が容易となる。

#### 〔発明の効果〕

以上説明した如く本発明によれば、3次元構造の半導体装置の異なる半導体層間の回路の結合に高い信頼性が確保され、かつ各層の凹凸が軽減され平坦化も容易となり、積層数を増加し集積度を向上することが可能となるなど、3次元構造の半導体装置の進歩に大きい効果が得られる。

#### 4. 図面の簡単な説明

第1図は3次元構造の半導体装置の信号伝達部分の第1の実施例を示し、

第1図(a)はその磁界発生コイルの平面図、

第1図(b)はその磁界検知部の平面図、

第1図(c)は前記両者からなる信号伝達部分の側

本実施例において、磁界発生コイル2に100 $\mu\text{A}$ の電流を流して磁界を発生させ、その上層のFET素子のドレイン電流を100 $\mu\text{A}$ 流せば、検出端子10と11の間に約0.1mVの起電力がホール効果によって得られる。この電圧を、このMOS FET素子と同一層に形成された差動増幅器等に入力してこの層の後段の回路に伝達する。

なお本実施例では磁界発生コイル2を下層に、磁界検知素子であるMOS FET素子を上層に配置しているが、逆に上層に磁界発生コイル、下層に磁界検知素子进行けることも可能であることは明らかである。

第3図は本発明の第2の実施例の磁界検知素子の平面図であり、この磁界検知素子が前記第1の実施例の磁界検知素子と同じ位置に形成される。

本実施例では検出端子13及び14がドレインを兼ね、検出端子13と14の間の電流分配率がホール効果により磁界に従って定まる。すなわち前記第1の実施例では磁界検知素子から電圧を取り出したのに対して、本第2の実施例では磁界検知素子か

#### 断面図、

第2図(a)乃至(c)は該磁界検知部の単結晶島状領域の工程順平面図、

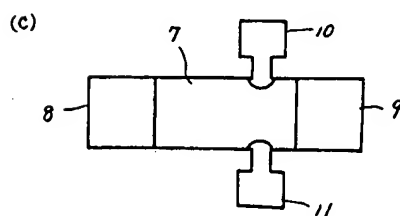
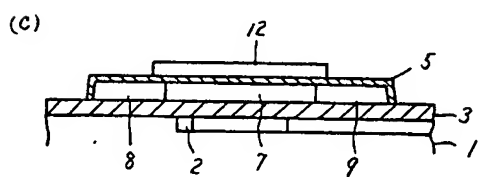
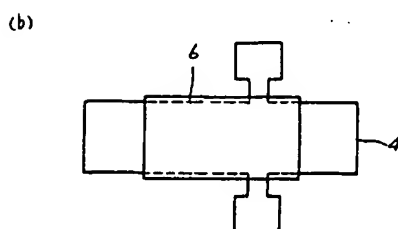
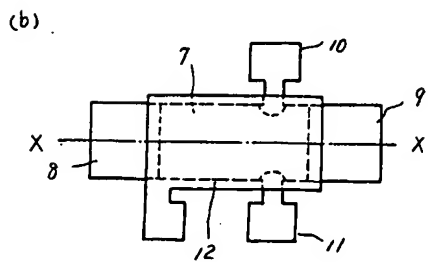
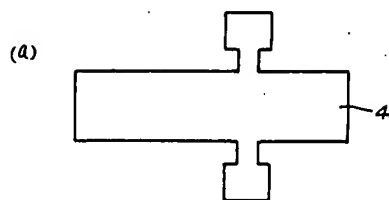
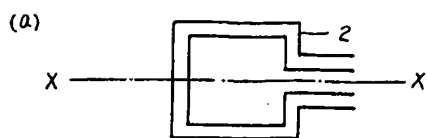
第3図は第2の実施例の磁界検知部の平面図、第4図は従来技術による積層CMOS構造のインパクタの模式側断面図である。

図において、

- |                    |                      |
|--------------------|----------------------|
| 1は第1のSi層、          | 2は磁界発生コイル、           |
| 3は層間絶縁膜、           | 5は $\text{SiO}_2$ 膜、 |
| 7はチャネル領域、          | 8はソース領域、             |
| 9はドレイン領域、          |                      |
| 10、11、13及び14は検出端子、 |                      |
| 12はゲート電極を示す。       |                      |

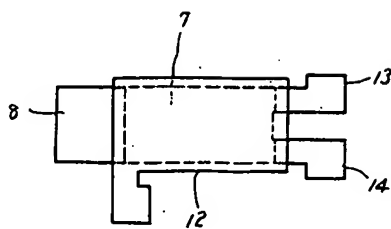
代理人 弁理士 松岡宏四郎



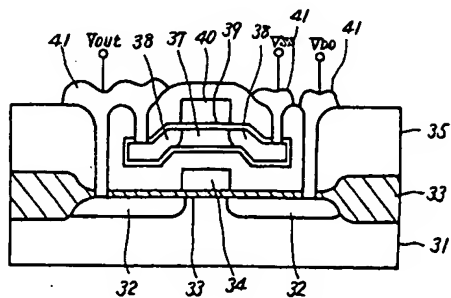


第 1 図

第 2 図



第 3 図



第 4 図